

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
18. November 2004 (18.11.2004)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2004/100170 A1

(51) Internationale Patentklassifikation⁷: **G11C 11/15**,
H03K 17/22, 17/80, 19/173

(21) Internationales Aktenzeichen: **PCT/EP2004/003134**

(22) Internationales Anmeldedatum:
24. März 2004 (24.03.2004)

(25) Einreichungssprache: **Deutsch**

(26) Veröffentlichungssprache: **Deutsch**

(30) Angaben zur Priorität:
103 20 701.5 8. Mai 2003 (08.05.2003) **DE**

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): **SIEMENS AKTIENGESELLSCHAFT [DE/DE]**;
Wittelsbacherplatz 2, 80333 München (DE).

(72) Erfinder; und
(75) Erfinder/Anmelder (nur für US): **BANGERT, Joachim**
[DE/DE]; Zeppelinstr. 43, 91052 Erlangen (DE).
SIEMERS, Christian [DE/DE]; Mary-Cassatt-Ring 38,
38446 Wolfsburg (DE).

(74) Gemeinsamer Vertreter: **SIEMENS AKTIENGE-
SELLSCHAFT**; Postfach 22 16 34, 80506 München
(DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,
AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH,
CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE,
KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD,
MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG,
PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM,
TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM,
ZW.

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare regionale Schutzrechtsart): ARIPO (BW,
GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM,
ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ,
TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK,
EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT,
RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA,
GN, GQ, GW, ML, MR, NE, SN, TD, TG).

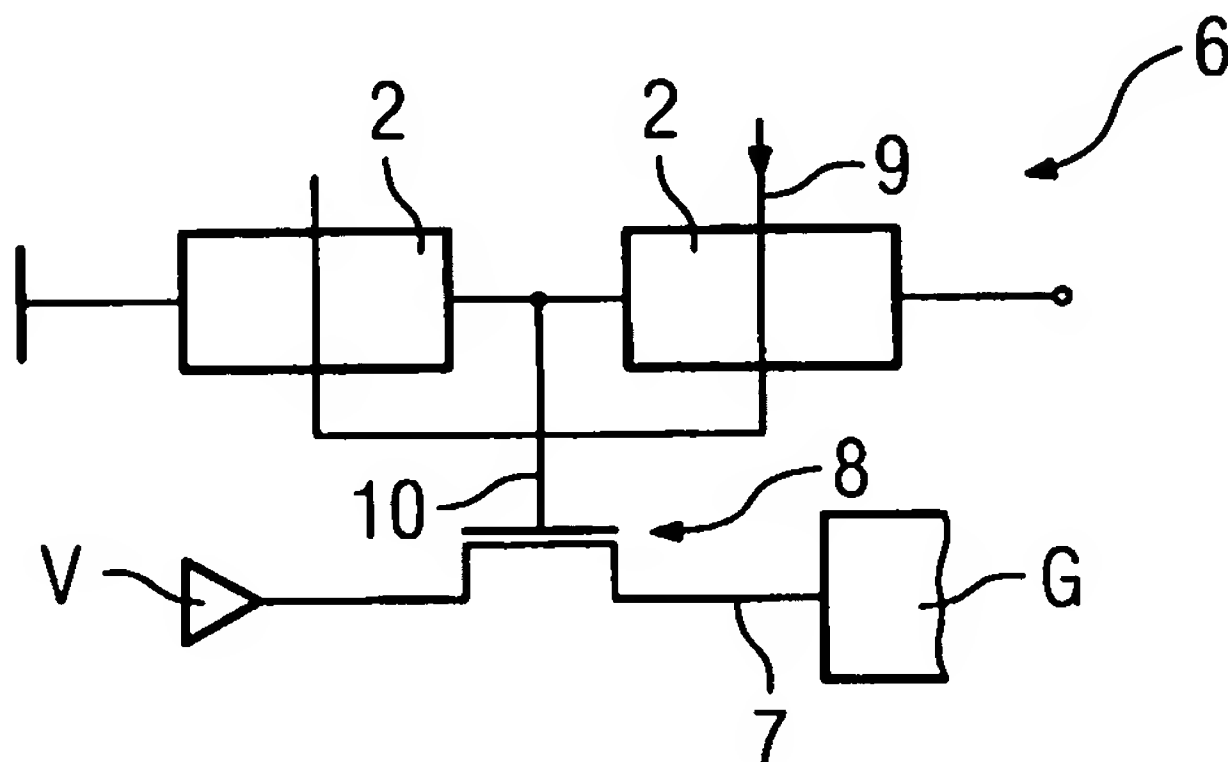
Veröffentlicht:

- mit internationalem Recherchenbericht
- vor Ablauf der für Änderungen der Ansprüche geltenden
Frist; Veröffentlichung wird wiederholt, falls Änderungen
eintreffen

Zur Erklärung der Zweibuchstaben-Codes und der anderen Ab-
kürzungen wird auf die Erklärungen ("Guidance Notes on Co-
des and Abbreviations") am Anfang jeder regulären Ausgabe der
PCT-Gazette verwiesen.

(54) Title: **COMPONENT WITH A LOGIC CIRCUIT ARRANGEMENT WITH CONFIGURABLE FUNCTIONALITY**

(54) Bezeichnung: **BAUELEMENT MIT EINER IN IHRER FUNKTIONALITÄT KONFIGURIERBAREN LOGIKSCHAL-
TUNGSANORDNUNG**



(57) Abstract: The invention relates to a component with
a logic circuit arrangement with configurable functionality,
comprising several data lines (7), whereby at least a part of
the data lines (7) is provided with at least one element (1)
which may be switched between two states with different
discrete resistances. The data line (7) is opened or closed
by said element (1), depending on the switched state.

(57) Zusammenfassung: Bauelement mit einer in ihrer
Funktionalität konfigurierbaren Logikschaltungsanord-
nung, umfassend mehrere Datenleitungen (7), wobei
zumindest einem Teil der Datenleitungen (7) wenigstens
ein zwischen zwei Zuständen mit unterschiedlichen
diskreten Widerständen schaltbares Element (1)
zugeordnet ist, über welches Element (1) je nach
geschaltetem Zustand die Datenleitung (7) freigegeben

oder gesperrt wird.

Beschreibung

Bauelement mit einer in ihrer Funktionalität konfigurierbaren Logikschaltungsanordnung

5

Die Erfindung betrifft ein Bauelement mit einer in ihrer Funktionalität konfigurierbaren Logikschaltungsanordnung, umfassend mehrere Datenleitungen.

- 10 Konfigurierbare Bauelemente sind seit langem bekannt, sie werden, nachdem sie vorzugsweise Logikfunktionen ausführen, allgemein als Programmable Logic Device (PLD) bezeichnet. Solche PLD-Bauelemente werden vornehmlich für weniger komplexe Aufgaben eingesetzt. Derartige Logikbausteine sind z. B.
- 15 aus US 4,870,302 oder der Veröffentlichung "Ranmuthu, I.W. et al.; Magneto-resistive elements - An Alternative to Floating Gate Technology; In: Proceedings of the Midwest Symposiums on Circuits and Systems, 1992, pg(s). 134 - 136 vol. 1" bekannt. Das Anwendungsprogramm wird bei solchen Logikbausteinen beim Booten definiert: Aus einem Programmspeicher
- 20 wird ein Programm ausgelesen, konfigurierbare Bereiche werden konfiguriert. Die konfigurierbaren Bereiche haben folgende Eigenschaften: Entweder definieren sie Verknüpfungen zwischen vorgegebenen Punkten (Routing-Bereiche) oder definieren die
- 25 Verarbeitung logischer Eingangssignale zu logischen Ausgangssignalen (Logikzellen-Bereiche).

- Die Programmierinformation wird also in der Fläche verteilt. Die Konfigurierbarkeit der PLD's beschränkt sich auf wenige
- 30 konfigurierbare Parameter, die beim Booten fest eingestellt werden. Es werden dabei zwei Speicher benötigt: Ein externer Boot-Speicher-Chip (diskreter Chip, z. B. ein EEPROM 113 in US 4,870,302) und interne, flächig verteilte Speicherzellen (z. B. nach Fig. 3a und 10a in US 4,870,302 oder Fig. 5 in
- 35 der Veröffentlichung von Ranmuthu et al.). Die lokalen Speicherzellen enthalten nach dem Booten die Informationen für die Verknüpfungen und für die Logikfunktionen der Zellen.

- Wesentliche Parameter zur Bewertung der Leistungsfähigkeit dieser Speicher sind der Flächenbedarf und der statische (Leck-)Energieverbrauch als statische "Kosten" sowie die
- 5 Schaltgeschwindigkeit und -kapazität als dynamische "Kosten". Betrachtet werden nachfolgend nur nichtflüchtige, re-konfigurierbare Architekturen, nämlich SRAM in Kombination mit Boot-ROM oder EEPROM. Das SRAM ist eine relativ große Zelle, besitzt eine schnelle Arbeitgeschwindigkeit und ist ein
- 10 flüchtiger Speicher, das Boot-ROM ist dagegen langsam und nicht-flüchtig. Das EEPROM ist eine mittelgroße Zelle mit langsamer Arbeitgeschwindigkeit, hohem Konfigurierungsbedarf und geringem "Lese"-Leistungsverbrauch.
- 15 Die Flächen- und die Verlustleistungseffizienz der verteilten Speicherzellen ist ca. bis zu zwei Größenordnungen schlechter als die von diskreten Speicherchips gleicher Leistungsfähigkeit. Benötigt das Anwendungsprogramm aber weniger Leistungsfähigkeit als die Chips bereitstellen, so verbrauchen die
- 20 nicht genutzten Bereiche unvermeidlich ebenfalls Verlustleistung. Typische Ausnutzungsgrade der vorhandenen Logikblocks von PLD's liegen bei ca. 30 % bis 70 %. Zu einem bestimmten Zeitpunkt sind davon auch nur Bruchteile aktiv an der Verarbeitung von Logikinformationen beteiligt.
- 25 Ein Bauelement, insbesondere in Form einer Logikschaltungsanordnung, verfügt über eine Vielzahl von Datenleitungen, die die einzelnen Funktionselemente der Schaltungsanordnung miteinander verknüpfen, die also Logikzellen miteinander verbinden, den Routing-Bereich definieren oder sonstige Signalverbindungen bestimmen. Die Datenleitungen definieren also den
- 30 Daten- oder Signaltransferweg, also die Verknüpfung zwischen vorgegebenen Punkten und die Signalverarbeitung. Dem konfigurierten Verlauf der Datenleitungen kommt also im Rahmen der
- 35 Konfiguration eine wichtige Funktion zu.

Der Erfindung liegt das Problem zugrunde, eine Möglichkeit anzugeben, auf einfache Weise auf den Verlauf oder Zustand einer Datenleitung im Rahmen der Konfiguration Einfluss nehmen zu können.

5

Zur Lösung dieses Problems ist ein Bauelement der eingangs genannten Art vorgesehen, wobei zumindest einem Teil der Datenleitungen wenigstens ein zwischen zwei Zuständen mit unterschiedlichen diskreten Widerständen schaltbares Element zugeordnet ist, über welches Element je nach geschaltetem Zustand die Datenleitung freigegeben oder gesperrt wird, wobei der Schaltzustand des Elements nicht-flüchtig speicherbar und schnell umschaltbar ist.

10

15 Beim erfindungsgemäßen Bauelement kommt ein in seinem Widerstand schaltbares Element zum Einsatz, wobei die Datenleitung abhängig vom jeweils schaltungsbedingt eingestellten Widerstand des Elements entweder freigegeben wird, Daten also transferiert werden können, oder aber gesperrt wird, der Datentransfer also unterbrochen wird. Durch Ändern der Widerstands-Charakteristik des zugeordneten Elements kann also sehr schnell die Datenleitung freigegeben oder geöffnet werden.

20

25 Ist das Element in einer Reihenschaltung angeordnet, so wird die eine Quelle und ein dieser nachgeschaltetes Teil, z.B. ein Gatter verbindende Datenleitung durch die Widerstandsänderung des Elements freigegeben (niedriger Widerstand) oder gesperrt (hoher Widerstand). In einer Parallelschaltung, wo
30 das Element parallel zur Datenleitung ist, wird das Signal entweder kurzgeschlossen (niedriger Widerstand) oder das Element tritt nicht in Erscheinung (hoher Widerstand), das Signal wird ungehindert über die Datenleitung geführt. Schließlich besteht die Möglichkeit, eine Serienschaltung eines erfindungsgemäßen Bauelements mit einem Ausgangs-Transistor
35 folgendermaßen zu beschalten: niederohmiges Verhalten bedeutet Datenleitung ist konstant (z.B. Pluspol), Information ist

gesperrt. Ist das Bauelement hochohmig geschaltet, verhält es sich als Pullup-Widerstand, das Quellensignal läuft über die Datenleitung.

- 5 Besonders wichtig ist, dass die Änderung des Widerstands in geeigneter Weise ohne weitere Energiezufuhr speicherbar wird und somit stets zur Verfügung steht. Vorteilhaft wäre es, wenn die Änderung zu jeder Zeit durchgeführt werden kann, ohne Beschränkung der Anzahl der Zyklen und auch mit hoher Geschwindigkeit. Die Umschaltgeschwindigkeit sollte $\leq 3\text{ns}$
10 betragen.

Als Element kann erfindungsgemäß ein Element mit einem magneto-resistiven Effekt eingesetzt werden, vorzugsweise eine
15 TMR-Zelle (TMR = Tunnel-Magneto-Resistive). Derartige magneto-resistive Elemente zeichnen sich dadurch aus, dass ihr Widerstandsverhalten durch die Stellung der Magnetisierung einer weichmagnetischen Informationsschicht bezüglich einer hartmagnetischen Referenzschicht bestimmt wird. Je nach dem, ob
20 die Magnetisierungen parallel oder antiparallel zueinander stehen, ist ein niedriger oder hoher Widerstand über das Element realisiert. Die Änderung der Magnetisierungsrichtung der weichmagnetischen Schicht kann auf einfache und schnelle Weise erfolgen, wozu ein über einen Konfigurierleiter geführter
25 Konfigurierstrompuls, der ein auf die Magnetisierung der weichmagnetischen Schicht wirkendes Magnetfeld erzeugt, dient.

Alternativ - oder zusätzlich zur Verwendung von magneto-resistiven Elementen - kann das Element auch eine Widerstandsänderung durch eine beim Schalten erzeugte Phasenänderung, insbesondere von einem amorphen Zustand in einen kristallinen Zustand zeigen. Das Element ist also als Phasenwechselzelle, die auch als OUM-Zelle bezeichnet werden kann
35 (OUM = Ovonic Unified Memory) ausgebildet.

Eine auf diesem Effekt aufbauende Phasenwechselzelle ist ein Speicher, dessen Speichermechanismus auf einer reversiblen strukturellen Phasenänderung von einer amorphen Phase in eine kristalline Phase beruht. Als Phasenänderungsmaterial kann
5 ein Chalkogenid-Legierungsmaterial in Form eines Dünnsfilms verwendet werden. Bei einer Phasenänderung ändert sich der Widerstand zwischen zwei diskreten Werten, d.h. auch hier kommt es beim Schalten zu einer Änderung zwischen einem hohen und einem niedrigen Widerstand. Es handelt sich also um einen
10 schnell programmierbaren Widerstandsspeicher. Als Phasenwechselsysteme können binäre Systeme (z.B. GaSb, InSb, InSe, Sb₂Te₃, GeTe), tertiäre Systeme (z.B. Ge₂Sb₂Te₅, InSbTe, GaSeTe, SnSb₂Te₄, InSbGe) oder quaternäre Systeme (z.B. AgInSbTe, (GeSn)SbTe, GeSb(SeTe), Te₈₁Ge₁₅Sb₂S₂) verwendet werden, wobei
15 bevorzugt das GeSbTe-Legierungssystem verwendet wird. Während die amorphe Phase eine enge Atomanordnung, eine niedrige Dichte an freien Elektronen, eine hohe Aktivierungsenergie und einen hohen Widerstand zeigt, sind die Verhältnisse der kristallinen Phase gerade umgekehrt, es stellt sich eine längere
20 Atomanordnung, eine höhere Dichte an freien Elektronen, eine niedrigere Aktivierungsenergie sowie ein niedriger Widerstand ein. Der Schaltvorgang kann mit niedrigen Schaltspannungen erfolgen, wobei zum Schalten ein Strompuls mit einer Steuerspannung oberhalb der Thresholdspannung der Zelle
25 dient. Die Zellinformation wird auch hier über den eingestellten Widerstand ausgelesen. Eine Phasenwechselzelle ist z.B. in der veröffentlichten Website http://www.ovonyx.com/tech_html.html beschrieben.

30 Allen verwendbaren Elementen gemein ist, dass ihr Widerstand zwischen zwei diskreten Werten geschaltet werden kann. Durch die Widerstandsänderung ändert sich zwangsläufig ein über das jeweilige Element geführter Strom. Nach einer ersten Erfindungsausgestaltung kann nun vorgesehen sein, dass über das
35 Element ein (in die Datenleitung geschalteter) Pass-Transistor gesperrt oder freigegeben wird. Dieser Pass-Transistor wird über das ihm jeweils zugeordnete Element geschaltet. Die

Öffnung oder Freigabe der Datenleitung wird also indirekt oder mittelbar über das Element gesteuert, das den direkt in die Datenleitung geschalteten Pass-Transistor schaltet. Der über ein Element oder beispielsweise zwei gekoppelte Elemente geführte Strom bzw. Summenstrom wird am Gate-Eingang des vorzugsweise als MOS-Transistors ausgeführten Pass-Transistors angelegt. Je nach dem, wie groß diese Steuerspannung ist, wird der Pass-Transistor durchgeschaltet oder gesperrt. Wird er durchgeschaltet, so ist die Datenleitung, in die der Transistor geschaltet ist, freigegeben. Wird er gesperrt, wird gleichzeitig auch die Datenleitung gesperrt, Informationen können über sie nicht übertragen werden. Im Falle einer Parallelschaltung des Elements zur Datenleitung schließt es diese im niederohmigen Zustand kurz, im hochohmigen Zustand ist es transparent.

Dabei kann zum Betätigen des Pass-Transistors lediglich ein Element vorgesehen sein, sofern das Widerstandsverhältnis, also das Verhältnis zwischen dem niedrigen schaltbaren Widerstand und dem hohen schaltbaren Widerstand hinreichend hoch ist, so dass ein hinreichend hohes Spannungsverhältnis an den Gate-Eingang zum Steuern des Transistors gelegt werden kann. Alternativ zur Verwendung lediglich eines ein hohes Widerstandsverhältnis aufweisenden Elements ist es auch denkbar, zwei miteinander gekoppelte und parallel betriebene Elemente vorzusehen, über die eine Summenspannung an den Gate-Eingang gelegt werden kann. Werden zwei TMR-Zellen zur Ansteuerung eines Pass-Transistors verwendet, so werden diese zweckmäßigerweise invertiert angesteuert.

In Weiterbildung des Erfindungsgedankens kann vorgesehen sein, dass die beiden Elemente, insbesondere die beiden TMR-Zellen ein Widerstandsverhältnis zwischen den beiden zustandsbezogenen Widerständen ungleich 1:1, insbesondere von 1:2 oder höher aufweisen. Je höher das Widerstandsverhältnis ist, desto weiter werden die von den jeweiligen Widerständen abhängigen Steuerspannungen voneinander getrennt.

Neben der Möglichkeit, über ein oder mehrere Elemente einen Pass-Transistor zur Freigabe oder zum Sperren der Datenleitung zu steuern und die Datenleitung indirekt über das Element zu schließen oder zu öffnen, besteht nach einer alternativen Erfindungsausgestaltung auch die Möglichkeit, dass ein Element unmittelbar in die Datenleitung geschaltet ist und diese direkt öffnet oder sperrt. Nach dieser Erfindungsausgestaltung wird also ein solches Element direkt als Pass-Transistor verwendet. Voraussetzung dafür ist, dass sich ein hinreichend hohes Widerstandsverhältnis zwischen den beiden zustandsbezogenen Widerständen von wenigstens 1:10 oder größer am Element realisieren lässt. Bei Einstellung des niedrigen Widerstands wäre bei dieser Ausführungsform die Datenleitung freigegeben, bei Einstellung des hohen Widerstands wäre sie gesperrt.

Für die Ausführung als Parallelschaltung gelten obige Ausführungen sinngemäß.

Insgesamt bietet das erfindungsgemäße Bauelement im Vergleich zu bisher verwendeten Technologien bzw. Architekturen eine Reihe von Vorteilen. Die gängigen Technologien bedienen sich einer Konfigurationsspeicherung mit einem SRAM-Speicher oder einem EEPROM-Speicher.

SRAM-Zellen können grundsätzlich nur einen Pass-Transistor ansteuern. Die Ursache hierzu liegt im Operationsprinzip dieser Zelle, das auf dem Flip-Flop-Prinzip basiert. Hier werden Transistoren gegenseitig so gekoppelt, dass die Schaltung zwei stabile Zustände kennt und diese Zustände nach außen hin als Spannung sichtbar sind. Der Einsatz eines erfindungsgemäßen Elements erniedrigt dabei die Anzahl der Transistoren pro Pass-Element, bei Verwendung zweier Elemente zum Schalten eines Pass-Transistors sind lediglich drei Flächeneinheiten nötig (die beiden Elemente sowie der Pass-Transistor selbst) bzw. wird nur eine Flächeneinheit benötigt, wenn ein Element

selbst als Pass-Transistor verwendet wird. Die Flächengröße einer TMR-Zelle ist \leq der Flächengröße eines Transistors. Als weiterer Vorteil ist der Erhalt der Konfiguration bei Ausfall der Versorgungsspannung zu sehen, der ein zusätzliches Boot-Memory unnötig macht. D.h., dass zur dauerhaften Speicherung im vergleich zum SRAM keine Energiezufuhr nötig ist. Gleichwohl lassen sich sehr schnelle Umschaltzeiten ($\leq 3\text{ns}$) realisieren, da der Widerstand sehr schnell schaltbar ist.

- 10 Auch ein EEPROM (inklusive Flash) besteht aus mehreren Transistoren, die aufwendig und langsam reprogrammierbar sind und schlechte Laufzeiten aufweisen, verglichen mit einem einfachen Pass-Transistor. Zudem sind die EEPROM-Transistoren größer als normale Transistoren, da eine zusätzliche Leiterbahn für die Tunnelstrecke erforderlich ist. Gegenüber der EEPROM-Technologie bietet die Verwendung der Elemente, insbesondere der TMR-Zelle den Vorteil der schnellen und unkomplizierten Umprogrammierung. Dieser Vorteil ist zentral, da zukünftig dynamisch rekonfigurierbare Bauelemente eingesetzt werden.
- 15 Dies ist mit EEPROM-Zellen nicht denkbar oder möglich, da EEPROM-Zellen nur eine langsame Schaltgeschwindigkeit des Floating-Gates im μs -Bereich zeigen, wohl aber mit den in ihrem Widerstand veränderbaren Zellen, insbesondere in Form der TMR-Zellen.

25

Weitere Vorteile, Merkmale und Einzelheiten der Erfindung ergeben sich aus den im folgenden beschriebenen Ausführungsbeispielen sowie anhand der Zeichnungen. Dabei zeigen:

- 30 Fig. 1 eine Prinzipskizze eines Schichtsystems einer TMR-Zelle,
- Fig. 2 eine Prinzipskizze der Reihen-Verschaltung zweier Elemente zur Steuerung eines Pass-Transistors,
- 35 Fig. 3 eine ausführlichere Darstellung der Anordnung aus Fig. 2,

Fig. 4 einen Schnitt durch die Anordnung aus Fig. 3,

Fig. 5 eine Prinzipskizze eines unmittelbar in der Daten-
leitung angeordneten, als Pass-Transistor dienenden
Elements, und

Fig. 6 eine Prinzipskizze einer Parallelschaltung des
Pass-Transistors zur Datenleitung.

Fig. 1 zeigt in Form einer Prinzipskizze ein Element 1 in
Form einer TMR-Zelle 2, bestehend aus einer weichmagnetischen
Informationsschicht 3, einer elektronischen Barrierenschicht
4 und einer hartmagnetischen Referenzschicht 5.

Die weichmagnetische Schicht oder ein weichmagnetisch wirken-
des Schichtpaket, das diese Informationsschicht 3 bildet,
kann durch Ströme oder Strompulse auf Leiterbahnen ummagneti-
siert werden, welche Ströme oder Strompulse ein Magnetfeld
oder einen Magnetpuls erzeugen, der auf die Schichtmagneti-
sierung wirkt. Kennzeichen ist die Koerzitivfeldstärke (sym-
metrisch zu $H=0$) und eine Spinpolarisation und eine Remanenz.
Die Basismaterialien sind bekannte magnetische Materialien
geringer oder mittlerer Koerzitivfeldstärke. Der Doppelpfeil
deutet die Anisotropieachse an, in die sich die Magnetisie-
rung einstellen lässt. Damit sind zwei diskrete Magnetisie-
rungszustände einstellbar.

Die Barrierenschicht 4 bildet eine elektronische Barriere,
sie entsteht durch eine abrupte Änderung in der Bandstruktur.
Dies kann durch Materialgrenzflächen, aber beispielsweise
auch durch Dotierungen erreicht werden. Die elektronische
Barriere ermöglicht direktes Tunneln von Ladungsträgern zwi-
schen den angrenzenden Elektroden. Die Eigenschaften der
elektronischen Barriere bestimmen den "Grundwiderstand" der
Elemente, und auch die Spannungsabhängigkeit der Kennlinie.
Weiteres Kriterium ist die Erhaltung der Spinpolarisation

während des Tunnelns bzw. ein totaler Spinflip (z. B. aus Spin-up wird Spin-down). Für den TMR-Effekt werden folgende Isolatormaterialien als Barrierenmaterialien häufig eingesetzt: AlO_x , AlN , TaO_x , BN , MgO ; halbleitende Materialien: ZnS , GaO_x ; weitere Materialien: NiO , NbO , HfO_2 , TiO_2 , SiO_2 , Fe_2O_3 , Fe_3O_4 . Die Materialdicke beträgt wenige Atomlagen bis zu einigen Nanometern. Es werden kristalline und amorphe Barrieren verwendet.

- 10 Die Referenzschicht 5 ist magnetisch hart und kann (idealerweise) von Signalen im Chip und externe Felder nicht verändert werden. Sie besteht mindestens aus der Referenzschicht oder (normalerweise) aus einer komplexen Schichtfolge (=Schichtsystem), die die Referenzschicht enthält. Wesentlich
15 für die TMR-Zelle ist, dass wenigstens eine magnetische Schicht aktiv mit den Elektronen wechselwirkt. Dies ist jeweils diejenige Schicht, die an die nicht-magnetische Zwischenschicht angrenzt. Da sie Teil der magnetisch harten Schicht ist, ist deren Magnetisierung vorgegeben und sie enthält die Referenzmagnetisierung für den TMR-Effekt (bzw. dem
20 GMR-Effekt). Typische magnetische Materialien sind Schichten mit hoher Spinpolarisation (z. B. CoFe , Py , Fe) und gleichzeitig hoher Austauschwechselwirkung zur benachbarten Schicht in der harten Schicht. In manchen Schichtaufbauten kann die
25 harte Schicht auch zwei Referenzschichten aufweisen, zum Beispiel bei einer harten Schicht in der Mitte eines symmetrischen GMR-Aufbaus.

- Fig. 2 zeigt einen Ausschnitt aus einer erfindungsgemäßen
30 Schaltungsanordnung 6 eines erfindungsgemäßen Bauelements, bei dem es sich um ein beliebiges Bauelement, vornehmlich um eine Logikschaltungsanordnung handeln kann. Gezeigt ist eine Datenleitung 7, in die im gezeigten Ausführungsbeispiel ein Pass-Transistor 8 geschaltet ist, über den die Datenleitung
35 7, die z. B. zwei beliebige Logikelemente, z. B. einen Verstärker V und ein Gatter G oder einzelne Logikzellen, miteinander verknüpft, geöffnet oder gesperrt werden kann. Zum

Schalten des Pass-Transistors 8 sind zwei TMR-Zellen 2 vorgesehen, deren Widerstand über einen über eine Konfigurierstromleiterbahn 9 geführten Konfigurierstrom, der ein entsprechendes Magnetfeld erzeugt, eingestellt werden kann. Die
5 widerstandsbedingt über die beiden miteinander gekoppelten TMR-Zellen 2 (die auch als Twin-Zelle benannt werden können) abfallende Steuerspannung wird über die Verbindung 10 auf den Gate-Eingang des Pass-Transistors 8 gelegt. Abhängig von der Größe dieser Steuerspannung wird der Pass-Transistor 8 entweder
10 gesperrt oder durchgeschaltet.

Die Figuren 3 und 4 zeigen die Schaltungsanordnung 6 aus Fig. 2 im Detail. Gezeigt sind die beiden TMR-Zellen 2, die beispielsweise an ihrem referenzschichtseitigen Ausgang über
15 eine Kopplungsleitung 11 miteinander gekoppelt sind. An der gegenüberliegenden Seite ist jede TMR-Zelle 2 mit einem Pol einer Stromversorgung 12 gekoppelt, so dass insgesamt ein Strom über die Twin-Zellenanordnung geführt werden kann. Gezeigt ist ferner der Konfigurierstromleiter 9, der sich um-
20 kehrend oberhalb der TMR-Zellen 2 geführt ist. Über ihn kann ein Konfigurierstrom geführt werden, wie durch den gebogenen Pfeil in Fig. 3 dargestellt ist. Nachdem die Stromrichtung aufgrund der Leiterführung über den beiden TMR-Zellen 2 entgegengesetzt ist, werden antiparallel gerichtete Magnetfelder
25 erzeugt, wie durch die beiden Pfeile in Fig. 4 um den Konfigurierstromleiter 9 herum dargestellt ist, d. h. die beiden Zellen werden antiparallel zueinander betrieben. Je nach dem, wie nun die Stromrichtung über den Konfigurierstromleiter 9 ist, kann die Richtung der jeweils erzeugten Magnetfelder
30 eingestellt werden und über diese die Magnetisierung der benachbarten weichmagnetischen Schicht 3 beider TMR-Zellen 2. Auf diese Weise kann der jeweilige Widerstand einer TMR-Zelle sehr einfach zwischen einem zustandsabhängigen niedrigen und hohen Wert geschaltet werden. Bei einem Widerstandsverhältnis
35 von 1:2 ergibt sich daraus immer der dreifache minimale Widerstand eines Elements als Belastungswiderstand für die Versorgungsspannung sowie ein Steuerspannungswert von $2/3$ der

Versorgungsspannung bzw. $1/3$ der Versorgungsspannung. Bei entsprechend konzipierter Thresholdspannung des Pass-Transistors, der z. B. als MOS-Transistor ausgeführt ist, ist dieses Spannungsverhältnis ausreichend, um die Zustände

5 "Transistor sperrt" und "Transistor leitet" anzusteuern. Der Einfluss auf die Datenleitung 7 ergibt sich durch die verstärkenden Eigenschaften des Transistors als gesteuerter Widerstand. Lässt sich das Widerstandsverhältnis erhöhen, werden die Steuerspannungen entsprechend weiter voneinander getrennt. Eine Sättigung des Transistors sollte jedoch vermieden werden.

10

Die an der Twin-Zellenanordnung erzeugte Steuerspannung wird über eine entsprechende Verbindung 13 auf den Eingang 14 des

15 Gates 15 des Pass-Transistors 8 gegeben. Die Funktion eines solchen Transistors ist bekannt, je nach Größe der am Gate 15 anliegenden Steuerspannung wird der Transistor leitend, er wird also durchgeschaltet, oder er wird gesperrt. Es kann also auf einfache Weise durch Änderung der Widerstandsverhältnisse an der Twin-Zellenanordnung der Transistorzustand ge-

20 schaltet werden.

Der Abstand zwischen den beiden TMR-Zellen 2 liegt in der gleichen Größenordnung wie die Gate-Länge (einige 100 nm).

25 Source- und Drain-Ströme im Source-Bereich 16 bzw. Drain-Bereich 17 des Pass-Transistors 8 sind im Vergleich zu den Konfigurierströmen vernachlässigbar, daher kann der Abstand zwischen den beiden TMR-Zellen 2 und dem Gate 15 durch die notwendigen Isolationsabstände bestimmt werden. Der Aufbau

30 ist folglich sehr kompakt. Sinnvoll erscheint es, große TMR-Widerstände zur Minimierung des Querstroms zwischen den Polen der Stromversorgung 12 zu realisieren, was über eine dicke Barrierenschicht und eine kleine Fläche möglich ist.

35 Fig. 5 zeigt in Form einer Prinzipskizze eine alternative Ausführung, die gleichermaßen dienlich ist, um die Datenleitung 7 freizugeben oder zu sperren. Hier ist ein Element 1,

im Ausführungsbeispiel eine TMR-Zelle 2 direkt in die Datenleitung 7 geschaltet. Voraussetzung ist, dass die TMR-Zelle 2 ein hohes Widerstandsverhältnis von vorzugsweise etwa 1:10 und mehr zeigt. Sie kann dann direkt als Pass-Transistor eingesetzt werden, wodurch die Anzahl erforderlicher Transistoren zum Schalten der Datenleitung 7 weiter reduziert wird. Die Datenleitung wird geöffnet, wenn an der TMR-Zelle, der gleichermaßen ein Konfigurationsstromleiter 9 zugeordnet ist, um den Widerstand der weichmagnetischen Schicht schalten zu können, ein niedriger Widerstand eingestellt ist. Sie wird gesperrt, wenn der hohe Widerstand durch entsprechendes Schalten der Magnetisierung der weichmagnetischen Schicht eingestellt ist.

15 Die Verdrahtung der konfigurierbaren Schaltung durchläuft die TMR-Zelle 2. Die Konfigurationsleiterbahn 9 ist Teil der Verdrahtung und kann über, unter oder kombiniert oberhalb und unterhalb der TMR-Zelle 2 verlaufen. Die Anschlüsse der TMR-Zelle können ins Silizium geführt werden oder in der Verdrahtungsschicht verbleiben.

Fig. 6 zeigt schließlich eine Schaltungsanordnung, bei der ein über zwei nicht näher gezeigte TMR-Zellen schaltbarer Transistor 18 dargestellt ist, wobei diese TMR-Zellen und der Transistor parallel zur zu "schaltenden" Datenleitung 19, die ein Gatter G über einen Pullup-Widerstand 20 an den Pluspol einer Spannungsversorgung, also eine Quelle legt, geschaltet sind. Weiterhin ist ein Pulldown-Widerstand 21 vorgesehen. Je nach dem, ob die TMR-Zellen hoch- oder niederohmig geschaltet sind, liegt das Gatter an der Quelle oder nicht. Sind die TMR-Zellen hochohmig, so verhalten sie sich transparent, der Transistor fungiert nicht als Senke und ist ebenfalls transparent. Sind die TMR-Zelle niederohmig, fungiert der Transistor als Senke, das Gatter liegt nicht am Pluspol an.

35 Wenngleich die obigen Ausführungsformen lediglich die Verwendung von TMR-Zellen beschreiben, ist es gleichermaßen denk-

bar, andere magneto-resistive Zellen, deren Widerstand entsprechend geschaltet werden kann, oder die beschriebenen Phasenwechselzellen einzusetzen.

Patentansprüche

1. Bauelement mit einer in ihrer Funktionalität konfigurierbaren Logikschaltungsanordnung, umfassend mehrere Datenleitungen (7), wobei zumindest einem Teil der Datenleitungen (7) wenigstens ein zwischen zwei Zuständen mit unterschiedlichen diskreten Widerständen schaltbares Element (1) zugeordnet ist, über welches Element (1) je nach geschaltetem Zustand die Datenleitung (7) freigegeben oder gesperrt wird, wobei der Schaltzustand des Elements (1) nicht-flüchtig speicherbar und schnell umschaltbar ist.
2. Bauelement nach Anspruch 1, dadurch gekennzeichnet, dass das Element (1) einen magnetoresistiven Effekt zeigendes Element ist.
3. Bauelement nach Anspruch 2, dadurch gekennzeichnet, dass das Element (1) eine TMR-Zelle (2) ist.
4. Bauelement nach Anspruch 1, dadurch gekennzeichnet, dass das Element (1) eine Widerstandsänderung durch eine beim Schalten erzeugte Phasenänderung, insbesondere von einem amorphen Zustand zu einem kristallinen Zustand, zeigt.
5. Bauelement nach Anspruch 4, dadurch gekennzeichnet, dass das Element (1) eine OUM-Zelle ist.
6. Bauelement nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass über das Element (1) ein in die Datenleitung (7) geschalteter Pass-Transistor (8) gesperrt oder freigegeben wird.
7. Bauelement nach Anspruch 6, dadurch gekennzeichnet, dass zum Betätigen des Pass-Transistors (8) lediglich ein Element (1) oder zwei miteinander gekoppelte und parallel betriebene Elemente (1) vorgesehen ist/sind.

8. Bauelement nach Anspruch 7, dadurch gekennzeichnet, dass zwei TMR-Zellen (2) vorgesehen sind, die invertiert angesteuert werden.

5 9. Bauelement nach Anspruch 8, dadurch gekennzeichnet, dass die beiden Elemente (1), insbesondere die beiden TMR-Zellen (2), ein Widerstandsverhältnis zwischen den beiden zustandsbezogenen Widerständen ungleich 1:1, insbesondere von 1:2 oder mehr, aufweisen.

10

10. Bauelement nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, dass ein Element (1) unmittelbar in die Datenleitung geschaltet ist und diese direkt öffnet oder sperrt, oder dass ein Element parallel zur Datenleitung geschaltet ist und diese kurzschließt oder sich transparent verhält.

15

11. Bauelement nach Anspruch 10, dadurch gekennzeichnet, dass das Element (1), insbesondere die TMR-Zelle (2) oder die OUM-Zelle, ein Widerstandsverhältnis zwischen den beiden zustandsbezogenen Widerständen von wenigstens 1:5, insbesondere von wenigstens 1:10 oder größer, aufweist/aufweisen.

20

12. Bauelement nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass die Schaltzeit zum Umschalten des Widerstands des Elements $\leq 5\text{ns}$, insbesondere $\leq 3\text{ns}$, ist.

25

1/2

FIG 1

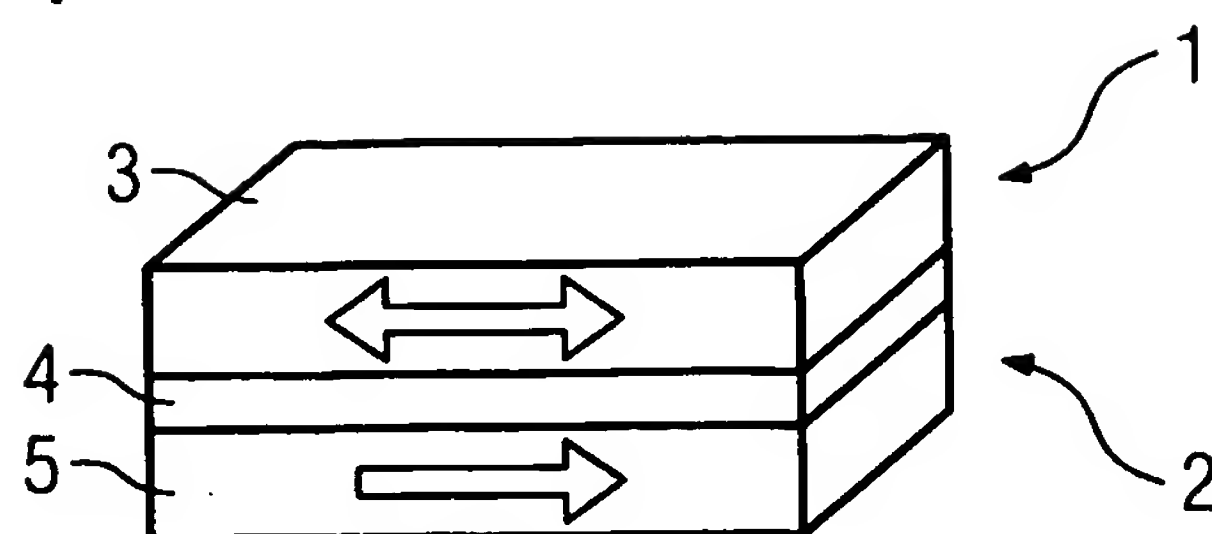


FIG 2

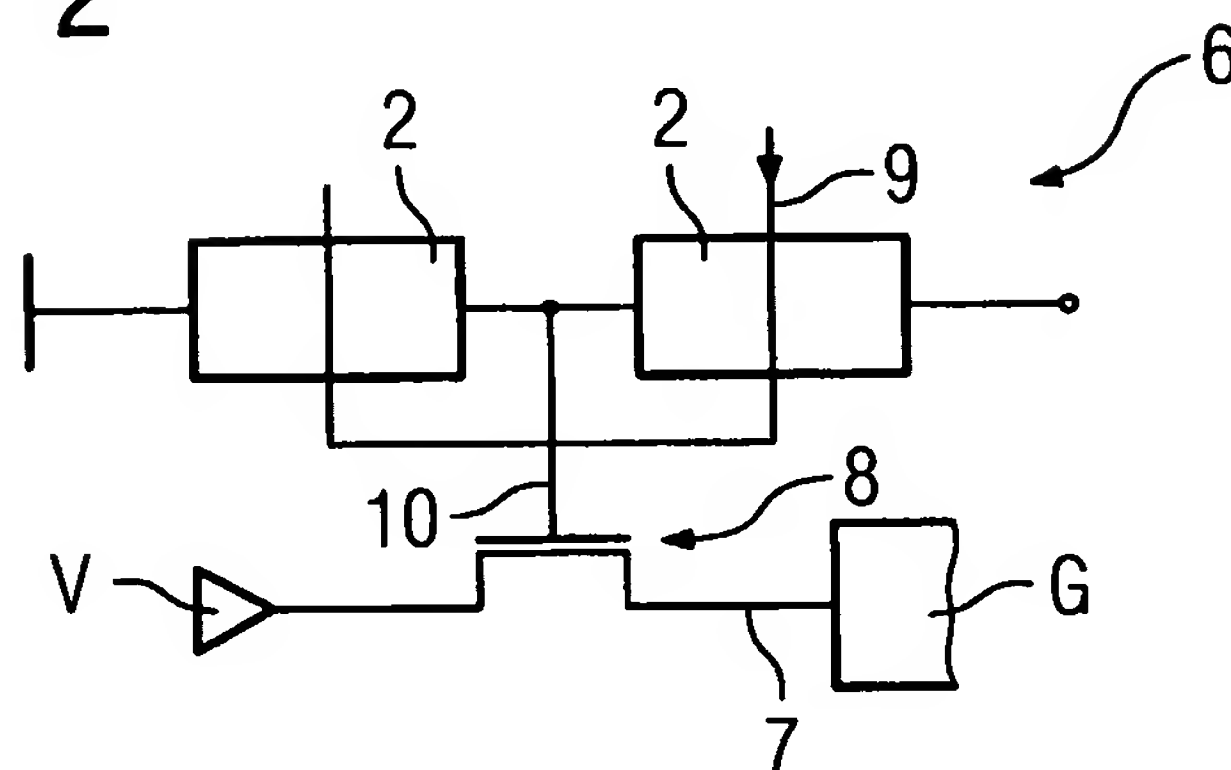
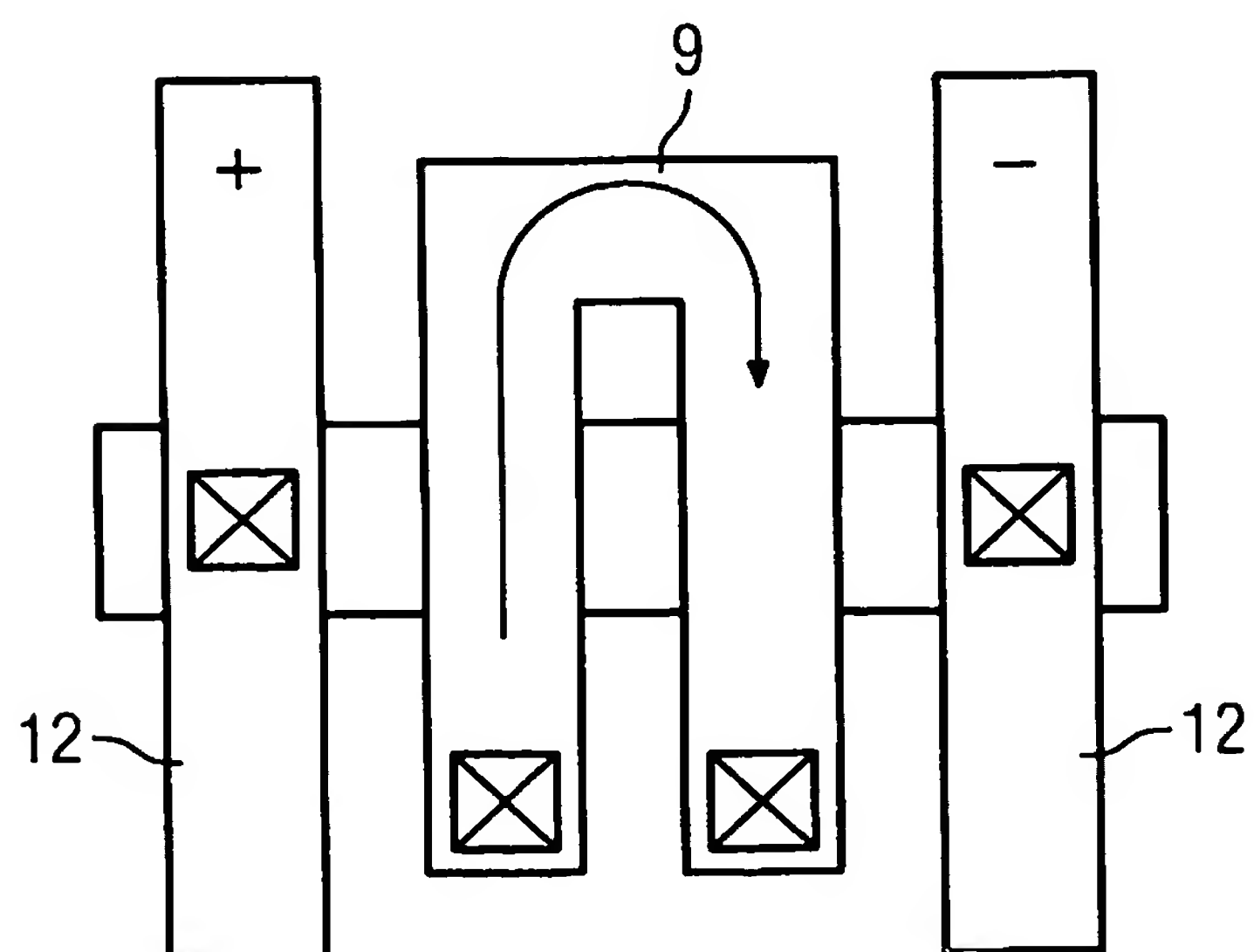


FIG 3



2/2

FIG 4

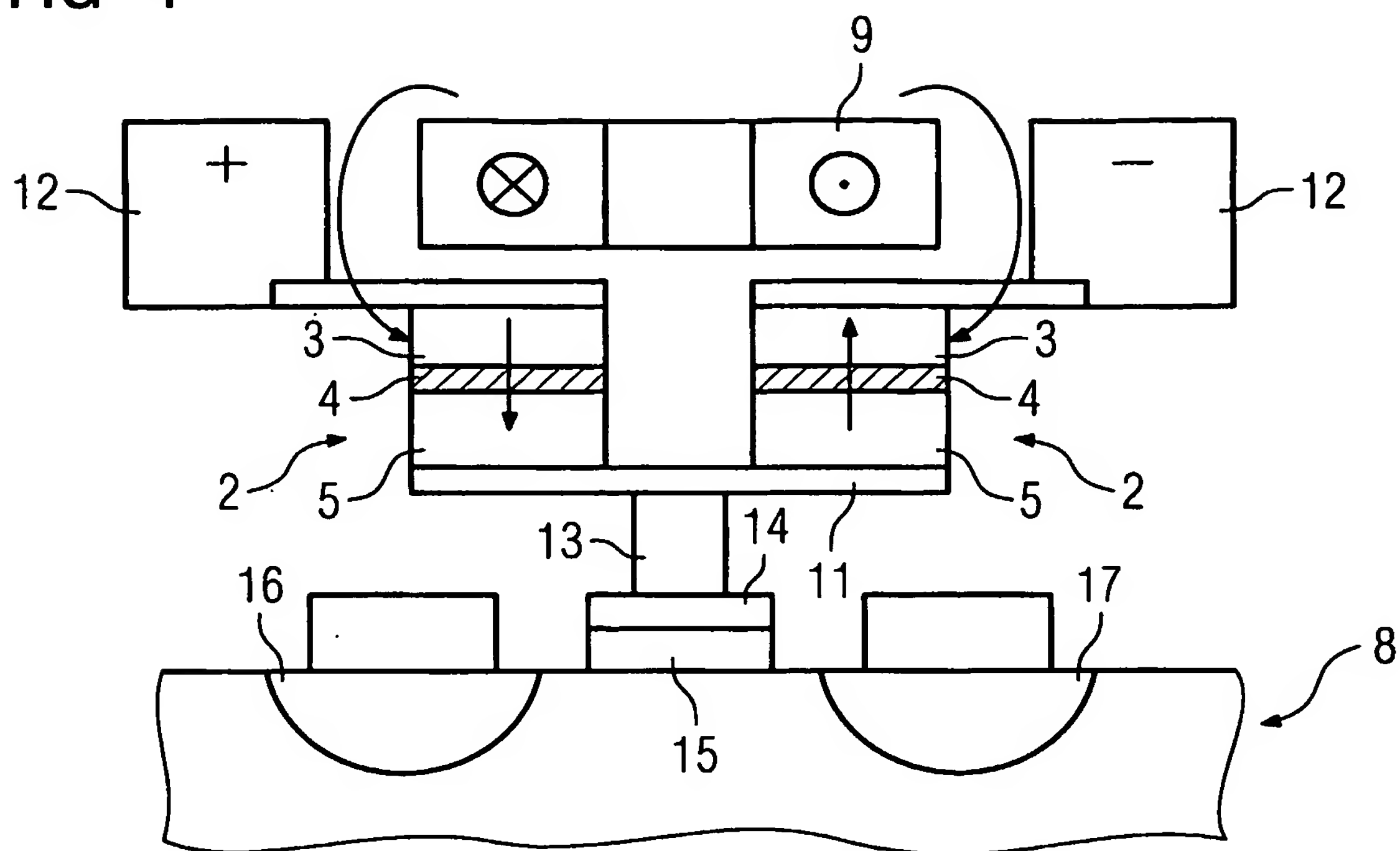


FIG 5

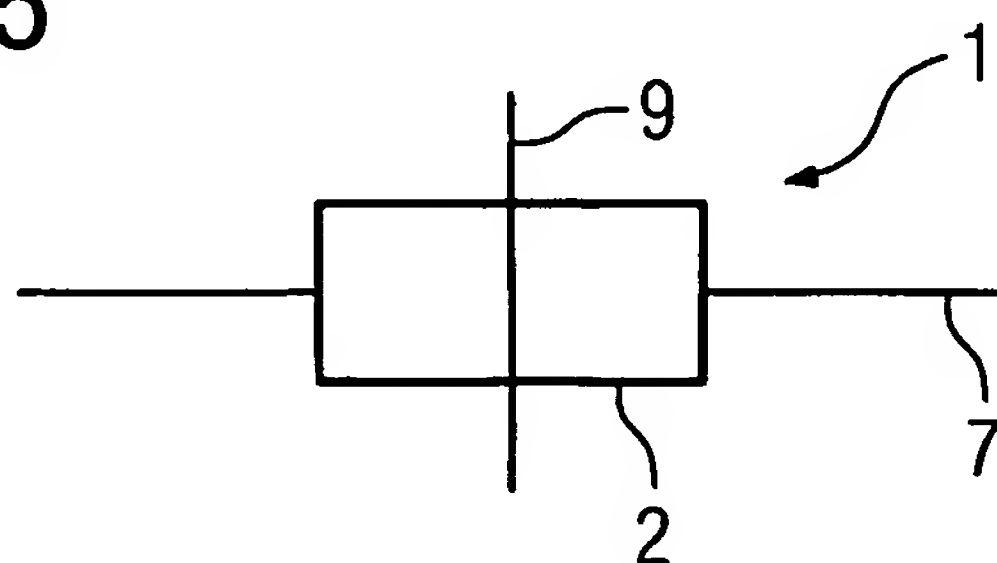
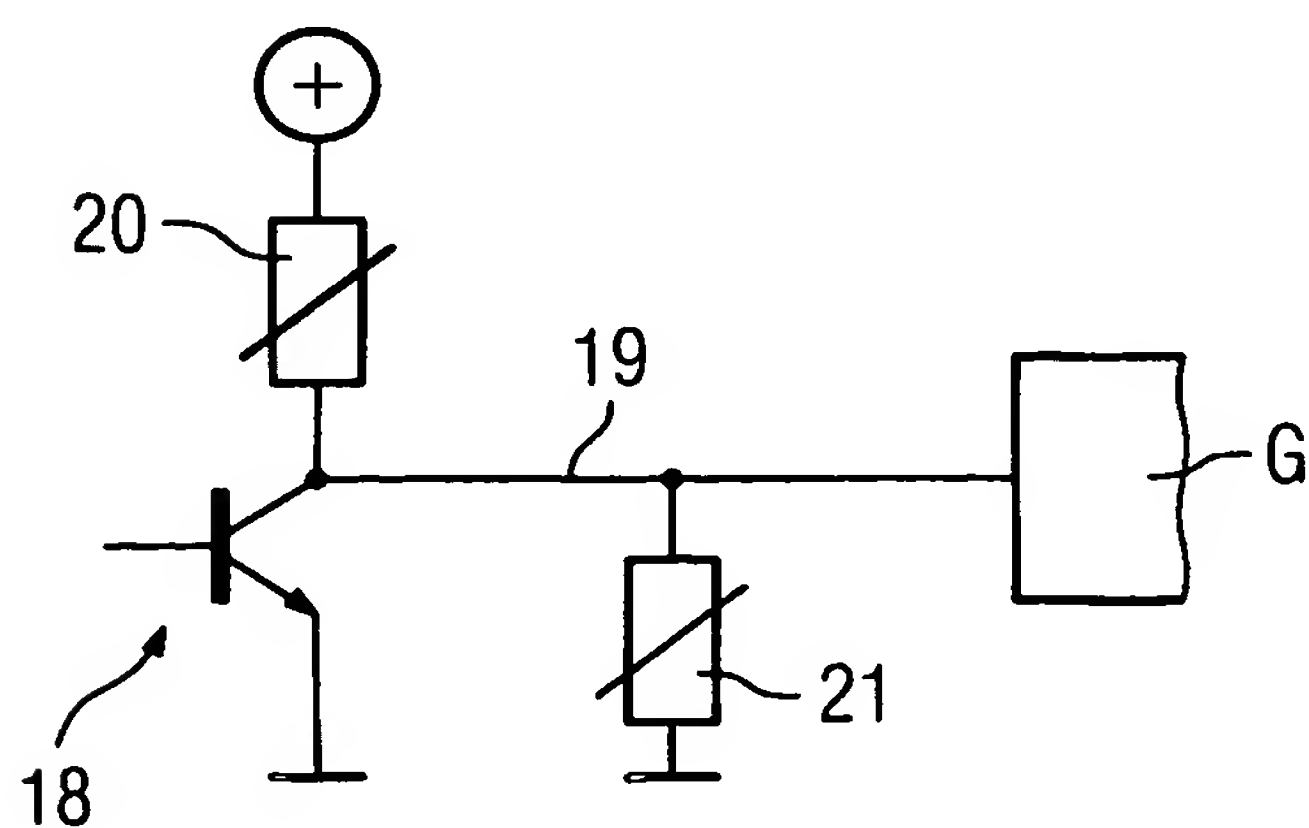


FIG 6



INTERNATIONAL SEARCH REPORT

International Application No
PCT/EP2004/003134

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 G11C11/15 H03K17/22 H03K17/80 H03K19/173

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 7 H03K G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)
EPO-Internal, WPI Data, PAJ, IBM-TDB

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	US 6 542 000 B1 (BLACK WILLIAM C ET AL) 1 April 2003 (2003-04-01) abstract column 1, line 6 - column 2, line 50 column 3, line 9 - column 4, line 37 column 5, line 52 - column 10, line 61 figures 1-4	1-5, 10-12 6-9
X A	DE 101 44 395 C (SIEMENS AG) 10 October 2002 (2002-10-10) the whole document	1-5, 10-12 6-9
X A	WO 03/026131 A (BANGERT JOACHIM ; SIEMENS AG (DE)) 27 March 2003 (2003-03-27) page 5, line 1 - page 11, line 20; figures 1-8	1-5, 10-12 6-9
	----- -/--	

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- *&* document member of the same patent family

Date of the actual completion of the international search

15 September 2004

Date of mailing of the international search report

02/11/2004

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax (+31-70) 340-3016

Authorized officer

Meulemans, B

INTERNATIONAL SEARCH REPORT

International Application No
PCT/EP2004/003134

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No
X	DE 100 53 206 C (SIEMENS AG) 17 January 2002 (2002-01-17)	1-5, 10-12
A	column 1, line 1 - column 4, line 32; figure 1	6-9
A	----- DE 101 44 384 C (SIEMENS AG) 2 January 2003 (2003-01-02) paragraphs '0034!', '0035!; figures 3,4	7-9
A	----- LOWREY, TYLER: "OUM - Ovonic Unified Memory" 'Online! December 1999 (1999-12), OVONYX , XP002296442 Retrieved from the Internet: URL:http://www.ovonyx.com/technology.pdf> 'retrieved on 2004-09-10! pages 5,20,28 pages 34,58-63 page 78 -----	4,5

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No
PCT/EP2004/003134

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 6542000	B1	01-04-2003	NONE	
DE 10144395	C	10-10-2002	DE 10144395 C1	10-10-2002
WO 03026131	A	27-03-2003	DE 10144385 A1 WO 03026131 A2	27-03-2003 27-03-2003
DE 10053206	C	17-01-2002	DE 10053206 C1 WO 0235704 A1	17-01-2002 02-05-2002
DE 10144384	C	02-01-2003	DE 10144384 C1	02-01-2003

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/EP2004/003134

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES

IPK 7 G11C11/15 H03K17/22 H03K17/80 H03K19/173

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 7 H03K G11C

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der Internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, WPI Data, PAJ, IBM-TDB

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X A	US 6 542 000 B1 (BLACK WILLIAM C ET AL) 1. April 2003 (2003-04-01) Zusammenfassung Spalte 1, Zeile 6 - Spalte 2, Zeile 50 Spalte 3, Zeile 9 - Spalte 4, Zeile 37 Spalte 5, Zeile 52 - Spalte 10, Zeile 61 Abbildungen 1-4	1-5, 10-12 6-9
X A	DE 101 44 395 C (SIEMENS AG) 10. Oktober 2002 (2002-10-10) das ganze Dokument	1-5, 10-12 6-9
X A	WO 03/026131 A (BANGERT JOACHIM ; SIEMENS AG (DE)) 27. März 2003 (2003-03-27) Seite 5, Zeile 1 - Seite 11, Zeile 20; Abbildungen 1-8	1-5, 10-12 6-9
	----- -/--	

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

A Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

E älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

L Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

O Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

P Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

G Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

15. September 2004

Absendedatum des internationalen Recherchenberichts

02/11/2004

Name und Postanschrift der Internationalen Recherchenbehörde

Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax (+31-70) 340-3016

Bevollmächtigter Bediensteter

Meulemans, B

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen
PCT/EP2004/003134

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie°	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X A	DE 100 53 206 C (SIEMENS AG) 17. Januar 2002 (2002-01-17) Spalte 1, Zeile 1 - Spalte 4, Zeile 32; Abbildung 1 -----	1-5, 10-12 6-9
A	DE 101 44 384 C (SIEMENS AG) 2. Januar 2003 (2003-01-02) Absätze '0034!, '0035!; Abbildungen 3,4 -----	7-9
A	LOWREY, TYLER: "OUM - Ovonic Unified Memory" 'Online! Dezember 1999 (1999-12), OVONYX , XP002296442 Gefunden im Internet: URL:http://www.ovonyx.com/technology.pdf> 'gefunden am 2004-09-10! Seiten 5,20,28 Seiten 34,58-63 Seite 78 -----	4,5

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2004/003134

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 6542000	B1	01-04-2003	KEINE
DE 10144395	C	10-10-2002	DE 10144395 C1 10-10-2002
WO 03026131	A	27-03-2003	DE 10144385 A1 27-03-2003 WO 03026131 A2 27-03-2003
DE 10053206	C	17-01-2002	DE 10053206 C1 17-01-2002 WO 0235704 A1 02-05-2002
DE 10144384	C	02-01-2003	DE 10144384 C1 02-01-2003